

Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11) EP 0 921 572 A1

(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:  
09.06.1999 Patentblatt 1999/23

(51) Int. Cl.<sup>6</sup>: H01L 27/108, H01L 21/8242,  
H01L 21/3205

(21) Anmeldenummer: 98115293.7

(22) Anmeldetag: 13.08.1998

(84) Benannte Vertragsstaaten:  
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU  
MC NL PT SE  
Benannte Erstreckungsstaaten:  
AL LT LV MK RO SI

(30) Priorität: 21.10.1997 DE 19746416

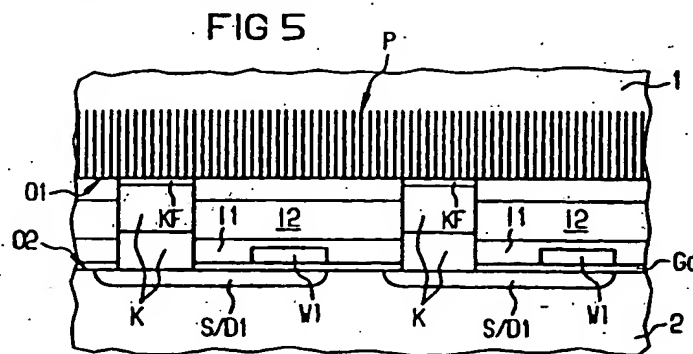
(71) Anmelder:  
SIEMENS AKTIENGESELLSCHAFT  
80333 München (DE)

(72) Erfinder:  
• Klose, Helmut  
New York 12603 (US)  
• Lehmann, Volker  
80689 München (DE)  
• Reisinger, Hans  
82031 Grünwald (DE)  
• Hoenlein, Wolfgang  
82008 Unterhaching (DE)

(54) **DRAM-Zelle mit Kondensator in separatem Substrat**

(57) Der Kondensator ist auf einem ersten Substrat (1) und ein Teil der Schaltungsanordnung mit einem Kontakt (K) ist auf einem zweiten Substrat (2) angeordnet. Das erste Substrat (1) ist mit dem zweiten Substrat (2) verbunden, wobei der Kontakt (K) an den Kondensator angrenzt. Die Verbindung des ersten Substrats (1) mit dem zweiten Substrat (2) kann im wesentlichen unjustiert erfolgen, wenn Teilkondensatoren auf dem ersten Substrat (1) verteilt sind und eine Kontaktfläche des Kontakts (K) so groß ist, daß beim Verbinden der

Substrate (1,2) der Kontakt (K) in jedem Fall an mindestens einen der Teilkondensatoren angrenzt, der dann den Kondensator definiert. Der Kondensator kann mehrere Teilkondensatoren umfassen, wodurch seine Kapazität besonders groß wird. Die Schaltungsanordnung ist insbesondere eine DRAM-Zellenanordnung. Zur Erzeugung der Teilkondensatoren werden z.B. durch elektrochemisches Ätzen Poren in dem ersten Substrat erzeugt.



EP 0 921 572 A1

## Beschreibung

[0001] Die Erfindung betrifft eine integrierte Schaltungsanordnung mit mindestens einem Kondensator.

[0002] Bei der Entwicklung neuer integrierter Schaltungsanordnungen wird eine erhöhte Packungsdichte angestrebt. Die Realisierung erfolgt derzeit meist in einer planaren Siliziumtechnologie.

[0003] Eine Möglichkeit, die Packungsdichte zu erhöhen, besteht darin, einen Kondensator einer Schaltungsanordnung nicht planar, sondern in einem Graben zu realisieren (siehe z.B. P. Chatterjee et al. IEDM 86 Seiten 128-131). Der Graben wird durch ein fotolithografisches Verfahren in einem Halbleitersubstrat, in dem die Schaltungsanordnung angeordnet ist, erzeugt. Bei Strukturgrößen unter 200nm wird dieses Konzept problematisch, da bei der Erzeugung der Grabenstruktur oft Kantenversetzungen entstehen, entlang denen sich leitende Kanäle ausbilden und die sich durch benachbarte Bauelemente der Schaltungsanordnung hindurchziehen. Außerdem entstehen Probleme bei der Herstellung des Grabens aufgrund der extremen Unterschiede zwischen Kondensatorbreite und Kondensatorhöhe.

[0004] In Y. Kawamoto et al., „A 1,28 $\mu$ m<sup>2</sup> Bit-Line Shielded Memory Cell Technology for 64mbit DRAM's", Techn. Digest of VLSI Symposium 1990, Seite 13 wird vorgeschlagen einen Kondensator als Stapelkondensator zu bilden. Zur Vergrößerung einer Oberfläche und damit der Kapazität des Speicherkondensators wird eine relativ komplizierte Struktur aus Polysilizium benötigt, die umso schwieriger herstellbar ist, je höher die Packungsdichte ist.

[0005] Bei der Erzeugung von Bauelementen durch fotolithografische Verfahren, ist der Packungsdichte zum einen durch die minimale, in der jeweiligen Technologie herstellbare Strukturgröße F und zum anderen durch Ungenauigkeiten der Justierung, die etwa ca. 1/3F betragen, eine Grenze gesetzt. Zur weiteren Vergrößerung der Packungsdichte wurde in z.B. DE 195 19 160 vorgeschlagen, Bauelemente einer DRAM-Zellenanordnung selbstjustiert, d.h. ohne Verwendung von zu justierenden Masken, zu erzeugen.

[0006] In V. Lehmann, Material Letters 28 (1996) Seiten 245-249 wird die Erzeugung von Kondensatoren in einem Siliziumsubstrat beschrieben. Dazu werden im Siliziumsubstrat durch ein fotolithografisches Verfahren Kerben erzeugt, aus denen durch anschließendes elektrochemisches Ätzen Poren erzeugt werden. Die Poren werden anschließend mit einem Kondensatordielektrikum und mit Speicherknoten versehen.

[0007] Aus Y. Hayashi et al, Symp. on VLSI Techn. (1990), Seite 95 bis 96, ist bekannt, Substrate, die Bauelemente umfassen, durch eine Klebeschicht aus Polyimid zu verbinden. Kontakte zwischen den Substraten werden über Wolframstifte und zugehörige großflächige Vertiefungen, die mit einer Au/In-Legierung gefüllt wer-

den, realisiert.

[0008] Der Erfindung liegt das Problem zugrunde, eine integrierte Schaltungsanordnung mit mindestens einem Kondensator anzugeben, die mit besonders hoher Packungsdichte herstellbar ist. Ferner soll ein Herstellungsverfahren für eine solche Schaltungsanordnung angegeben werden.

[0009] Dieses Problem wird gelöst durch eine Schaltungsanordnung gemäß Anspruch 1 sowie ein Verfahren gemäß Anspruch 10. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

[0010] In einer erfindungsgemäßen Schaltungsanordnung ist ein erstes Substrat mit einem zweiten Substrat verbunden. Im ersten Substrat ist ein Kondensator und im zweiten Substrat ist ein Kontakt angeordnet. Eine Kontaktfläche des Kontakts grenzt an den Kondensator an. Der Kontakt verbindet den Kondensator mit einem Teil der Schaltungsanordnung, der im zweiten Substrat angeordnet ist. Der Kondensator umfaßt mindestens einen von zwei Teilkondensatoren, die in einem an eine Oberfläche des ersten Substrats angrenzendes Gebiet des ersten Substrats angeordnet sind. Ein zur Oberfläche paralleler Querschnitt der Kontaktfläche ist in mindestens einer Dimension größer als ein Abstand zwischen den zwei Teilkondensatoren.

[0011] Die Justiertoleranz beim Kontaktieren des Kondensators, d.h. beim Verbinden der Substrate, kann ohne Verkleinerung der Packungsdichte vergrößert werden, wenn erst die Kontaktierung festlegt, welcher der Teilkondensatoren den Kondensator bildet. Dazu ist die Kontaktfläche in mindestens einer Dimension auch größer als ein Abstand zwischen einem der Teilkondensatoren und einem Rand des Gebiets. In diesem Fall muß die Kontaktfläche nicht in einem bestimmten Teil sondern kann in einem beliebigen Teil des Gebiets angeordnet werden, da die Kontaktfläche in jedem Fall an mindestens einen der Teilkondensatoren, der dann den Kondensator definiert, angrenzt. Je größer das Gebiet ist, umso größer ist die Justiertoleranz. Die Verbindung des ersten Substrats mit dem zweiten Substrat kann im wesentlichen unjustiert erfolgen, wenn die Teilkondensatoren auf dem ersten Substrat derart verteilt sind und eine Kontaktfläche des Kontakts so groß ist, daß beim Verbinden der Substrate der Kontakt in jedem Fall an mindestens einen der Teilkondensatoren angrenzt, der dann den Kondensator definiert.

[0012] Die Packungsdichte wird umso höher je dichter die Teilkondensatoren beieinander liegen und je kleiner die Kontaktfläche ist. Eine hohe Justiertoleranz und eine hohe Packungsdichte läßt sich demnach erzielen, wenn das Gebiet groß ist, in dem Gebiet viele Teilkondensatoren mit kleinen Abständen voneinander angeordnet sind und die Dimension des Querschnitts der Kontaktfläche nur wenig größer als die Abstände ist. In diesem Fall sind Abstände zwischen dem Rand des Gebiets und dazu benachbarten Teilkondensatoren vorzugsweise nicht größer als der Abstand zwischen

zueinander benachbarten Teilkondensatoren.

[0013] Es ist vorteilhaft, wenn der Kondensator mehr als einen Teilkondensator umfaßt. Dadurch wird eine Oberfläche und damit die Kapazität des Kondensators vergrößert. Die Kontaktfläche ist in diesem Fall dementsprechend größer. Die Justiertoleranz läßt sich auch hier vergrößern, wenn die Kontaktfläche in mindestens einer Dimension auch größer als der doppelte Abstand zwischen einem der Teilkondensatoren und einem Rand des Gebiets ist, und wenn die Kontaktfläche innerhalb des Gebiets des ersten Substrats angeordnet wird. Die Schaltungsanordnung kann auch mehrere Kondensatoren und mehrere Kontaktflächen umfassen. In diesem Fall können Teilkondensatoren in einem einzigen Gebiet angeordnet sein, an dem die Kontaktflächen angrenzen.

[0014] Die Schaltungsanordnung kann beispielsweise eine DRAM-Zellenanordnung sein. Auf dem zweiten Substrat sind dann Auswahltransistoren, deren zweite Source/Drain-Gebiete mit Bitleitungen und deren Gateelektroden mit quer zu den Bitleitungen verlaufenden Wortleitungen verbunden sind. Auf ersten Source/Drain-Gebieten werden die Kontakte angeordnet. Zur Vergrößerung der Packungsdichte können die Auswahltransistoren vertikal ausgebildet sein. Die Wortleitungen können als Spacer ausgebildet sein. In diesem Fall kann eine Fläche einer Speicherzelle  $4F^2$  oder kleiner sein.

[0015] Die Teilkondensatoren können regelmäßig, unregelmäßig und/oder mit kurzreichweitiger Ordnung über das Gebiet verteilt sein.

[0016] Zur Herstellung der Teilkondensatoren kann das erste Substrat aus Halbleitermaterial bestehen, das elektrochemisch geätzt wird. Die dabei entstehenden Poren werden mit einem Kondensatordielektrikum versehen. Zur Erzeugung von Speicherknoten der Teilkondensatoren wird leitendes Material aufgebracht. Die Speicherknoten der Teilkondensatoren können voneinander isoliert werden, indem das leitende Material strukturiert wird.

[0017] Beim elektrochemischen Ätzen kann das Substrat als positiv gepolte Elektrode einer, ein flußsäurehaltiges Medium enthaltenden Elektrolysezelle geschaltet sein. Durch Anlegen eines Potentials entstehen Poren im ersten Substrat. Die Teilkondensatoren werden in den Poren realisiert. Je nach Stromstärke und Dotierstoffkonzentration des ersten Substrats sind die Poren zwischen 10nm und 100nm weit, und regelmäßig oder unregelmäßig angeordnet. Abstände zwischen zueinander benachbarten Teilkondensatoren können in etwa gleich groß sein. Dies ist beispielsweise der Fall in einem n-dotierten Substrat bei einer Stromdichte von ca.  $100\text{mA/cm}^2$  und einer Dotierstoffkonzentration von ca.  $10^{18}\text{cm}^{-3}$ . Sowohl etwa gleiche Abstände zwischen den Teilkondensatoren als auch eine räumlich regelmäßige Anordnung der Teilkondensatoren erhält man, wenn das erste Substrat vorstrukturiert wird. Dazu werden z.B. regelmäßig angeordnete kleine Kerben in

dem ersten Substrat erzeugt, die die räumliche Anordnung der Poren festlegt. Die Poren entstehen an den Stellen, an denen die Kerben erzeugt wurden. Die Kerben können z.B. durch ein fotolithografisches Verfahren erzeugt werden. Es können dabei auch Interferenzerscheinungen von monochromatischem kohärentem Licht ausgenutzt werden.

[0018] Werden das erste Substrat und das zweite Substrat mit einer großen Justiertoleranz miteinander verbunden und sind die Teilkondensatoren unregelmäßig aber mit etwa gleich großen Abständen voneinander angeordnet, so ist es vorteilhaft, wenn die Kontaktfläche etwa 10 mal so groß ist, wie der Abstand zwischen Mitten zueinander benachbarter Teilkondensatoren. Da die Abweichung der Anzahl der Teilkondensatoren eines Kondensators bei gleichen Abständen der Teilkondensatoren nur etwa 1 beträgt, läßt sich dadurch die Kapazität des Kondensators relativ genau festlegen.

[0019] Das Verbinden des ersten Substrats mit dem zweiten Substrat kann z.B. eutektisch erfolgen: Dazu wird für die Kontaktfläche z.B. Gold auf den Kontakt und/oder dem Speicherknoten aufgebracht. Anschließend wird das erste Substrat und das zweite Substrat zusammengefügt und auf ca. 400 bis 500°C erhitzt, wodurch das erste Substrat mit dem zweiten Substrat fest verbunden wird.

[0020] Das Kondensatordielektrikum kann z.B. aus einer ONO-Schicht bestehen. Dabei steht O für Siliziumoxid und N für Siliziumnitrid. Es sind jedoch auch andere dielektrische Materialien, wie z.B. Keramiken, denkbar.

[0021] Zur Erhöhung der Kapazität des Kondensators, ist es vorteilhaft, wenn das erste Substrat in einer an die Oberfläche des ersten Substrats angrenzenden Schicht hochdotiert ist. Die Schicht kann z.B. durch Implantation erzeugt werden. Alternativ kann nach Erzeugung der Poren eine Diffusionsquelle abgeschieden werden, aus der durch Tempern Dotierstoff in das Substrat diffundiert. Die Dotierstoffquelle kann anschließend entfernt werden, worauf die Erzeugung des Kondensatordielektrikums erfolgen kann. Als Dotierstoffquelle ist z.B. Phosphorsilikatglas geeignet. Als leitendes Material für den Speicherknoten läßt sich z.B. dotiertes Polysilizium verwenden. Zur Isolation der Speicherknoten voneinander kann das Polysilizium anschließend chemisch-mechanisch poliert und/oder rückgeätzt werden. Durch anschließendes epitaktisches Aufwachsen können die Speicherknoten jenseits der Oberfläche des ersten Substrats vergrößert werden, was die Verbindung zur Kontaktfläche erleichtert.

[0022] Im folgenden wird ein Ausführungsbeispiel der Erfindung, das in den Figuren dargestellt ist, näher erläutert.

Figur 1 zeigt ein erstes Substrat, nachdem durch elektrochemisches Ätzen Poren erzeugt wurden.

**Figur 2** zeigt das erste Substrat, nachdem eine Schicht und ein Kondensatordielektrikum erzeugt wurden, und eine dotierte Polysiliziumschicht abgeschieden wurde.

**Figur 3** zeigt das erste Substrat, nachdem Speicherknoten erzeugt wurden, indem die dotierte Polysiliziumschicht rückgeätzt und anschließend epitaktisch aufgewachsen wurde.

**Figur 4** zeigt einen Ausschnitt aus einer Aufsicht auf ein zweites Substrat, nachdem Auswahltransistoren, Wortleitungen, Bitleitungen und Kontakte erzeugt wurden.

**Figur 5** zeigt einen Querschnitt durch das erste Substrat und das zweite Substrat, nachdem das erste Substrat mit dem zweiten Substrat unjustiert miteinander verbunden wurden.

[0023] Die Figuren sind nicht maßstäblich.

[0024] In einem Ausführungsbeispiel enthält ein erstes Substrat 1 n-dotiertes Silizium. Die Dotierstoffkonzentration des Siliziums beträgt ca.  $10^{18} \text{cm}^{-3}$ . Das erste Substrat 1 wird mit einem ersten Spannungsanschluß verbunden und in eine Flußsäurelösung (25 Gewichtsprozent) getaucht. In der Flußsäurelösung befindet sich eine Elektrode, die mit einem zweiten Spannungsanschluß verbunden ist. Anschließend wird eine Spannung zwischen dem ersten Spannungsanschluß und dem zweiten Spannungsanschluß erzeugt, die ca. 2 Volt beträgt. Die Spannungsdifferenz zwischen dem ersten Spannungsanschluß und dem zweiten Spannungsanschluß ist positiv. Die entstehende Stromdichte beträgt ca.  $100 \text{mA/cm}^2$ . Nach einigen Minuten entstehen ca. 100nm breite und einige  $\mu\text{m}$  tiefe Poren P im ersten Substrat 1. Nach Erreichen der gewünschten Porentiefe wird die elektrochemische Ätzung beendet. Abstände zwischen Mitten zueinander benachbarter Poren P sind etwa gleich und betragen ca. 20 nm (siehe Figur 1). Die Poren P sind räumlich nicht regelmäßig angeordnet.

[0025] Zur Erzeugung einer hochdotierten Schicht S, wird als Dotierstoffquelle Phosphorsilikatglas in einer Dicke von einigen nm auf eine Oberfläche O1 des ersten Substrats 1 abgeschieden. Anschließend wird durch Tempern Dotierstoff aus dem Phosphorsilikatglas etwa 100 nm tief in das erste Substrat 1 ausdiffundiert, wodurch die Schicht S entsteht. Die Schicht S ist n-dotiert und ihre Dotierstoffkonzentration beträgt ca.  $10^{20} \text{cm}^{-3}$ . Die Schicht S ist als Kondensatorplatte von Kondensatoren geeignet.

[0026] Anschließend wird das Phosphorsilikatglas entfernt. Als Ätzmittel ist z.B. HF geeignet.

[0027] Zur Erzeugung eines Kondensatordielektrikums Kd, wird eine ONO-Schicht erzeugt. Dabei steht

O für Siliziumoxid und N für Siliziumnitrid. Dazu wird zunächst durch thermische Oxidation eine ca. 2nm dicke Siliziumoxidschicht aufgewachsen. Anschließend wird ca. 4nm Siliziumnitrid abgeschieden, das ca. 2nm tief oxidiert wird (siehe Figur 2).

[0028] Zur Erzeugung von Speicherknoten Sp von Teilkondensatoren, wird anschließend dotiertes Polysilizium in einer Dicke von 5nm abgeschieden (siehe Figur 2). Durch Rückätzen werden die Speicherknoten Sp verschiedener Teilkondensatoren voneinander isoliert (s. Figur 3). Dabei wird das Kondensatordielektrikum Kd teilweise freigelegt. Anschließend werden die Speicherknoten Sp durch selektive Epitaxie bis jenseits der Oberfläche O1 des ersten Substrats 1 verlängert (siehe Figur 3).

[0029] In einem zweiten Substrat 2 werden Auswahltransistoren, Wortleitungen und Bitleitungen erzeugt (siehe Figur 4). Die Auswahltransistoren sind z.B. planare Transistoren. Sie können aber auch z.B. vertikale Transistoren sein. Erste Source/Drain-Gebiete S/D1 von den Auswahltransistoren werden mit Kontakten K versehen. Die Kontakte K umfassen z.B. 100 nm dotiertes Polysilizium und 200nm Wolfram. Zweite Source/Drain-Gebiete S/D2 der Auswahltransistoren werden mit den Bitleitungen BI verbunden. Die Bitleitungen BI verlaufen quer zu den Wortleitungen WI. Gateelektroden Ga der Auswahltransistoren grenzen an ein Gatedielektrikum Gd an und werden mit den Wortleitungen WI verbunden. Die Wortleitungen WI werden z.B. durch eine erste isolierende Struktur I1 aus Siliziumnitrid bedeckt. Die Wortleitungen WI und die Bitleitungen BI enthalten z.B. Polysilizium, MoSi und/oder Aluminium.

[0030] Zur Erzeugung einer ca. 500nm dicken zweiten isolierenden Struktur I2 wird  $\text{SiO}_2$  in einer Dicke von ca. 500nm abgeschieden, durch chemisch-mechanisches Polieren planarisiert, bis Kontaktflächen KF der Kontakte K freigelegt werden, und rückgeätzt. Die zweite isolierende Struktur I2 schützt Teile der Schaltungsanordnung, die sich auf dem zweiten Substrat 2 befinden.

[0031] Anschließend werden die Kontaktflächen KF der Kontakte K vergoldet. Das erste Substrat 1 und das zweite Substrat 2 werden unjustiert miteinander verbunden, indem das erste Substrat 1 und das zweite Substrat 2 zusammengefügt und auf ca. 400 bis 500°C erhitzt werden (siehe Figur 5).

## Patentansprüche

1. Integrierte Schaltungsanordnung mit mindestens einem Kondensator,

- mit einem ersten Substrat (1) und einem zweiten Substrat (2),
- bei der in mindestens einem an eine Oberfläche (O1) des ersten Substrats (1) angrenzenden Gebiet des ersten Substrats (1)

mindestens zwei Teilkondensatoren angeordnet sind,

- bei der mindestens ein Kontakt im Bereich einer Oberfläche (O2) des zweiten Substrats (2) angeordnet ist,
- bei der ein zur Oberfläche (O1) des ersten Substrats (1) paralleler Querschnitt einer Kontaktfläche (KF) des Kontakts (K) in mindestens einer Dimension größer als ein Abstand zwischen den Teilkondensatoren ist,
- bei der die Kontaktfläche (KF) an mindestens einen der Teilkondensatoren angrenzt,
- bei der der Kondensator aus denen der Teilkondensatoren gebildet wird, die an die Kontaktfläche (KF) angrenzen.

## 2. Schaltungsanordnung nach Anspruch 1,

- bei der die Dimension des Querschnitts der Kontaktfläche (KF) größer als ein Abstand zwischen einem der Teilkondensatoren und einem Rand des Gebiets ist,
- bei der die Kontaktfläche (KF) an mindestens einen Teil des Gebiets angrenzt und dadurch an mindestens den einen der Teilkondensatoren angrenzt,
- bei der die Kontaktfläche (KF) nicht außerhalb des Gebiets angrenzt.

## 3. Schaltungsanordnung nach Anspruch 1,

- bei der der Kondensator mindestens zwei der Teilkondensatoren umfaßt.

## 4. Schaltungsanordnung nach Anspruch 3,

- bei der die Dimension des Querschnitts der Kontaktfläche (KF) mindestens zweimal größer als ein Abstand zwischen Mitten der Teilkondensatoren und als ein Abstand zwischen einem der Teilkondensatoren und einem Rand des Gebiets ist,
- bei der die Kontaktfläche (KF) an mindestens einen Teil des Gebiets angrenzt und dadurch an mindestens zwei der Teilkondensatoren angrenzt.

## 5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4,

- bei der die Teilkondensatoren unregelmäßig oder mit kurzreichweitiger Ordnung über das Gebiet verteilt sind.

## 6. Schaltungsanordnung nach einem der Ansprüche 1 bis 5,

- bei der Abstände zwischen zueinander

benachbarten der Teilkondensatoren etwa gleich sind.

## 7. Schaltungsanordnung nach Anspruch 6,

- bei der der Kondensator mindestens 5 der Teilkondensatoren umfaßt.

## 8. Schaltungsanordnung nach einem der Ansprüche 1 bis 7,

- bei der das erste Substrat (1) und/oder das zweite Substrat (2) auf einer der Oberfläche (O1) des ersten Substrats (1) und/oder der Oberfläche (O2) des zweiten Substrats (2) gegenüberliegenden Oberfläche mit einem weiteren Kontakt versehen ist.

## 9. Schaltungsanordnung nach einem der Ansprüche 1 bis 8,

- die eine DRAM-Zellenanordnung ist.

## 10. Verfahren zur Herstellung einer integrierten Schaltungsanordnung mit mindestens einem Kondensator,

- bei dem in mindestens einem an eine Oberfläche (O1) eines ersten Substrats (1) angrenzenden Gebiet des ersten Substrats (1) mindestens zwei Teilkondensatoren erzeugt werden,
- bei dem auf einem zweiten Substrat (2) in einem Bereich einer Oberfläche (O2) des zweiten Substrats (2) mindestens ein Kontakt (K) mit einer Kontaktfläche (KF), dessen zur Oberfläche (O1) des ersten Substrats (1) paralleler Querschnitt in mindestens einer Dimension größer als ein Abstand zwischen den Teilkondensatoren ist, erzeugt wird,
- bei dem das erste Substrat (1) und das zweite Substrat (2) so verbunden werden, daß die Kontaktfläche (KF) an mindestens einen der Teilkondensatoren angrenzt,
- bei dem der Kondensator aus jenen der Teilkondensatoren gebildet wird, die an die Kontaktfläche (KF) angrenzen,
- bei dem zur Erzeugung der Teilkondensatoren durch elektrochemisches Ätzen Poren (P) in dem ersten Substrat (1) erzeugt werden,
- bei dem die Poren (P) mit einem Kondensator-dielektrikum (Kd) versehen werden,
- bei dem zur Erzeugung von Speicherknoten (Sp) der Teilkondensatoren leitendes Material aufgebracht und strukturiert wird.

## 11. Verfahren nach Anspruch 10,

- bei dem im ersten Substrat (1), das Halbleitermaterial mit einer ersten Dotierstoffkonzentration enthält, nach Erzeugung der Poren (P) eine Dotierstoffquelle abgeschieden wird,
- bei dem durch Tempern Dotierstoff der Dotierstoffquelle in das erste Substrat (1) diffundiert, wodurch innerhalb des ersten Substrats (1) eine Schicht (S) mit einer zweiten Dotierstoffkonzentration entsteht.

10

12. Verfahren nach Anspruch 10 oder 11,

- bei dem vor Erzeugung der Poren (P) das erste Substrat (1) vorstrukturiert wird, wodurch die räumliche Anordnung der Poren (P) vorgegeben wird.

15

13. Verfahren nach einem der Ansprüche 10 bis 12,

- bei dem das erste Substrat (1) und das zweite Substrat (2) eutektisch verbunden werden.

20

14. Verfahren nach Anspruch 13,

- bei dem die Kontaktfläche (KF) und/oder der Speicherknoten (Sp) mit Gold versehen werden,
- bei dem das erste Substrat (1) und das zweite Substrat (2) zusammengefügt und auf ca. 400°C-500°C erhitzt werden.

25

30

15. Verfahren nach einem der Ansprüche 10 bis 14,

- bei dem der Kondensator aus mindestens fünf der Teilkondensatoren gebildet wird.

35

16. Verfahren nach einem der Ansprüche 10 bis 15,

- bei dem eine DRAM-Zellenanordnung hergestellt wird.

40

17. Verfahren nach einem der Ansprüche 10 bis 16,

- bei dem das erste Substrat (1) und/oder das zweite Substrat (2) auf der Oberfläche (O1) des ersten Substrats (1) und/oder der Oberfläche (O2) des zweiten Substrats (2) gegenüberliegenden Oberfläche mit einem weiteren Kontakt versehen wird.

45

50

55

FIG 1

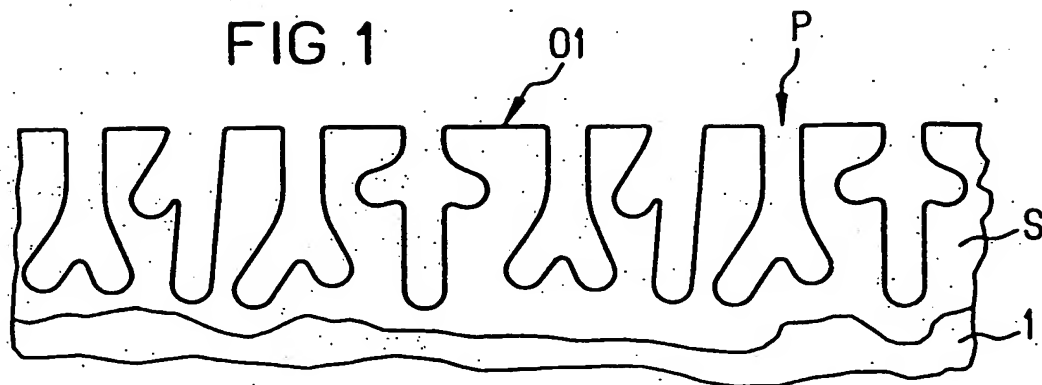


FIG 2

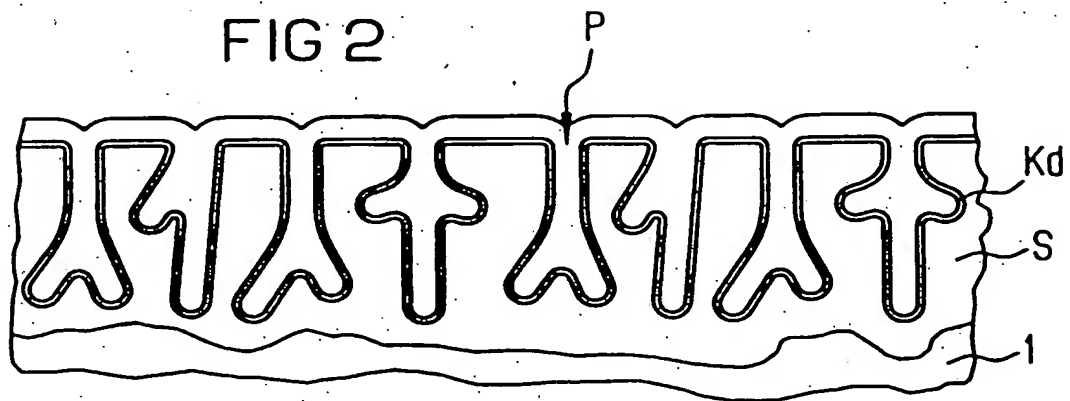
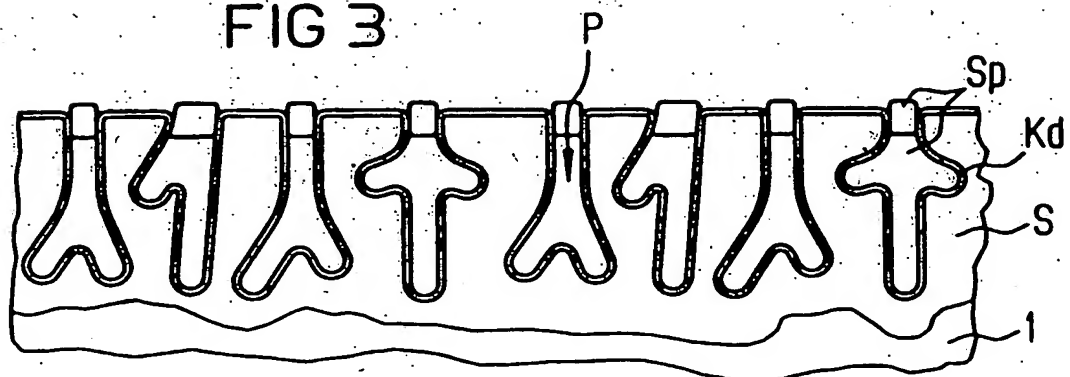
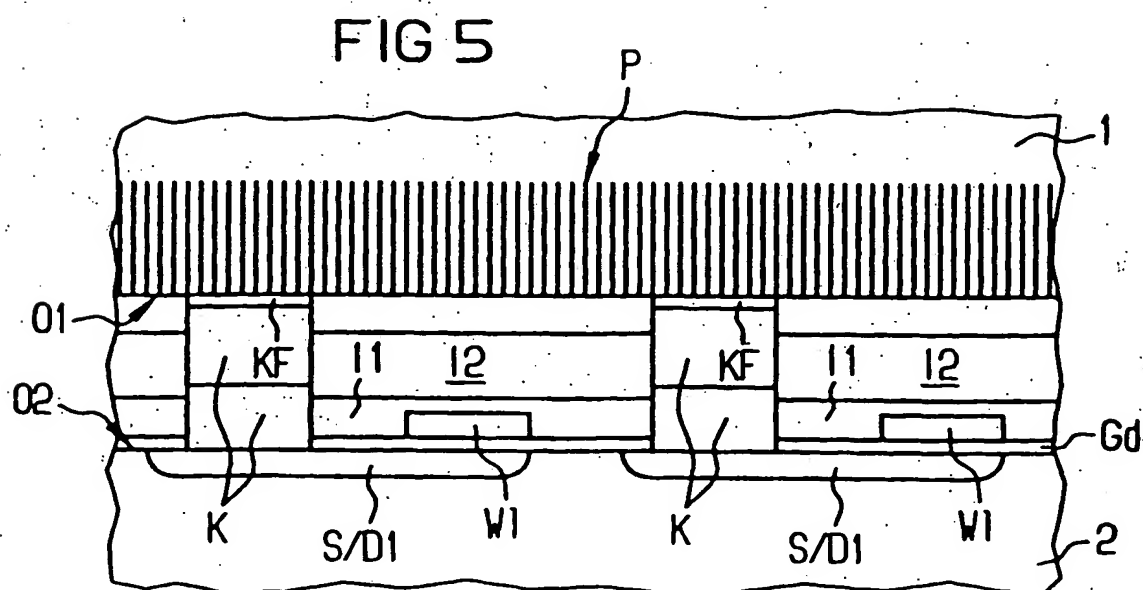
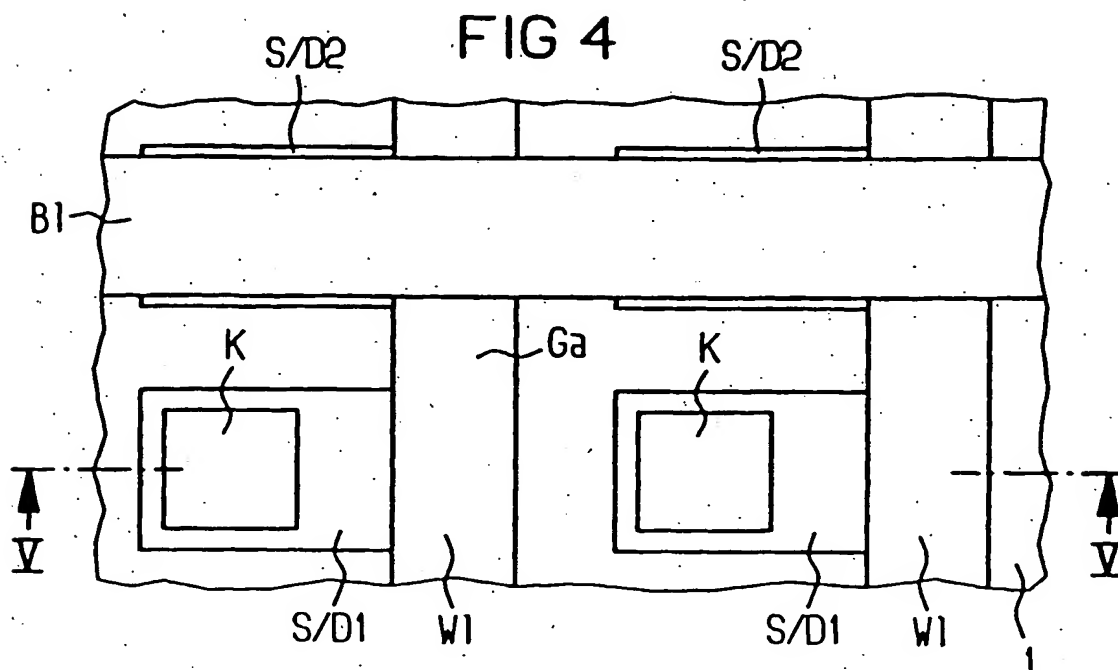


FIG 3









Europäisches  
Patentamt

# EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 98 11 5293

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.6)
A	US 5 241 201 A (MATSUSHITA ELECTRIC IND CO LTD) 31. August 1993 * das ganze Dokument *	1-17	H01L27/108 H01L21/8242 H01L21/3205
A	PATENT ABSTRACTS OF JAPAN vol. 18, no. 231 (E-1538), 15. April 1994 & JP 06 013547 A (NEC CORP), 21. Januar 1994 * Zusammenfassung *	1-17	
A	V. LEHMANN ET AL.: "SIKO - A new Capacitor Technology based on Porous Silicon" CARTS EUROPE 95,1995, Seiten 107-109, XP000749918 * Seite 108, Spalte 2, Absatz 3 - Absatz 4 *	1-17	
A, D	LEHMANN V: "POROUS SILICON - A NEW MATERIAL FOR MEMS" PROCEEDINGS OF THE 9TH. ANNUAL INTERNATIONAL WORKSHOP ON MICRO ELEC MECHANICAL SYSTEMS, INVESTIGATION OF MICRO STRUCTURES, SENSORS, ACTUATORS, MACHINES AND SYSTEMS. SAN DIEGO, FEB. 11 - 15, 1996, Nr. WORKSHOP 9, 11. Februar 1996, Seiten 1-6, XP000689241 INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS * das ganze Dokument *	1-17	RECHERCHIERTE SACHGEBIETE (Int.Cl.6) H01L
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenon DEN HAAG		Abschlußdatum der Recherche 2. Februar 1999	Prüfer Sinemus, M
<p>KATEGORIE DER GENANNTEN DOKUMENTE</p> <p>X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur</p> <p>T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument &amp; : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</p>			



Europäisches  
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung  
EP 98 11 5293

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.6)
A, D	<p>HAYASHI Y ET AL: "FABRICATION OF THREE-DIMENSIONAL IC USING "CUMULATIVELY BONDED IC" (CUBIC) TECHNOLOGY" SYMPOSIUM ON VLSI TECHNOLOGY, HONOLULU, JUNE 4 - 7, 1990, Nr. SYMP. 10, 4. Juni 1990, Seiten 95-96, XP000164428</p> <p>INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS</p> <p>* das ganze Dokument *</p> <p>-----</p>	1-17	
			RECHERCHIERTE SACHGEBIETE (Int.Cl.6)
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort	Abschlußdatum der Recherche	Prüfer	
DEN HAAG	2. Februar 1999	Sinemus, M	
<p>KATEGORIE DER GENANNTEN DOKUMENTE</p> <p>X : von besonderer Bedeutung allein betrachtet  Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie  A : technologischer Hintergrund  O : nichtschriftliche Offenbarung  P : Zwischenliteratur</p> <p>T : der Erfindung zugrunde liegende Theorien oder Grundsätze  E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist  D : in der Anmeldung angeführtes Dokument  L : aus anderen Gründen angeführtes Dokument  &amp; : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</p>			

EPO FORM 1503 03.82 (P04C03)

**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT  
 ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 98 11 5293

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patendokumente angegeben.  
 Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am  
 Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

02-02-1999

Im Recherchenbericht angeführtes Patendokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5241201 A	31-08-1993	JP 4212449 A	04-08-1992
		KR 9407650 B	22-08-1994

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**